

Jpn. Pat. Appln. KOKAI Publication NO. 4-365373

1. Filing Number: Japanese Patent Application
No. 3-140567
2. Filing Date: June 13, 1991
3. Applicant: NEC Corporation (JAPAN)
4. KOKAI/KOKOKU Date: December 17, 1992
5. Priority: Non
6. Request for Examination: Not Filed
7. Int. Cl4 & Japanese Classification: H 01 L 27/088

27/04

(54) [TITLE OF THE INVENTION]

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57) [ABSTRACT OF THE DISCLOSURE]

[OBJECT] There occurs a problem that resistance to electrostatic discharge of an input/output protection portion deteriorates according to advance of fineness of an element, particularly advance of super thinning process of a gate oxidation film. Therefore, it is necessary to improve voltage proof of a gate oxidation film of a transistor of the input/output protection portion itself.

[STRUCTURE] A semiconductor integrated circuit device according to the present invention has a structure that the film thickness of a gate oxidation film 3a of a transistor of an input/output portion is thicker than the film thickness of a gate oxidation film 3b of an internal cell portion transistor, so that voltage proof to electrostatic

discharge of a transistor in the input/output protection portion can be improved without deterioration of a transistor performance in the internal cell.

[WHAT IS CLAIMED IS:]

[CLAIM 1] A semiconductor integrated circuit device comprising an internal circuit including a first MIS transistor, and an input/output circuit including a second MIS transistor having a gate insulation film thicker than that of the first MIS transistor.

[CLAIM 2] A semiconductor integrated circuit device according to claim 1, wherein each of the MIS transistors is a MOS transistor.

[DETAILED DESCRIPTION OF THE INVENTION]

[0001]

[INDUSTRIAL APPLICABLE FIELD] The present invention relates to a semiconductor integrated circuit device.

[0002]

[PRIOR ART] In a conventional semiconductor integrated circuit device, as shown in FIG. 2, gate oxidation films 3C in a MOS transistor (internal transistor) of an internal circuit such as an internal cell portion in a gate array and in a MOS transistor (input/output transistor) of an input/output portion such as input/output cell portion or an input/output protection circuit are formed simultaneously and have the same film thickness. Recently, for improving an internal transistor performance, such means as thinning of a gate electrode, thinning of a gate

oxidation film or the like has been employed.

[0003] However, according to advance of fineness of an element effected by such means, resistance to external surge such as electrostatic discharge must be considered.

[0004] As a method for improving the resistance, a method where a gate length of an input/output transistor is not made fine unlike an internal transistor so that thickness of the former is made different from that of the latter and means for widening a gate has been employed.

[0005]

[PROBLEM TO BE SOLVED BY THE INVENTION] The improvement of the resistance to electrostatic discharge according to the above-mentioned conventional method is effective to an input/output transistor having a gate oxidation film thickness to a certain extent, but the voltage proof of the gate insulation film to external surge becomes problematic in super thinning of the gate oxidation film according to the fineness of a transistor in recent years.

[0006]

[MEANS FOR SOLVING PROBLEM] A semiconductor integrated circuit device of the present invention comprises an internal circuit including a first MIS transistor, and an input/output circuit including a second MIS transistor having a gate insulation film thicker than that of the first MIS transistor.

[0007]

[EMBODIMENT] Next, the present invention will be explained

with reference to the drawings.

[0008] FIG. 1 is a sectional view of a semiconductor chip showing an embodiment of the present invention.

[0009] The thickness of a gate oxidation film 3b of a MOS transistor of an internal cell is about 15 nm and the thickness of a gate oxidation film 3a of a MOS transistor of an input/output portion is about 20 nm.

[0010] Next, a manufacturing method of this embodiment will be explained.

[0011] As shown in FIG. 3, first, after a field oxidation film 2 which is an element separation region and which has the thickness of about 600 nm or so is formed on a silicon substrate 1 by a conventional method, a gate oxidation film 3d with the thickness of about 15 nm or so is formed on an active region by thermal oxidation. At this time, the film thickness in the internal cell portion and the film thickness in the input/output portion are the same.

[0012] Next, as shown in FIG. 4, patterning is performed so as to mask only the input/output portion by a photoresist film 7, and then only the gate oxidation film 3d of the internal cell portion is removed by a wet etching.

[0013] Next, as shown in FIG. 5, after the photoresist film 7 used for the patterning is removed, formation of a gate oxidation films 3a and 3b is performed by thermal oxidation, again. At this time, when the film thickness of the gate oxidation film 3b of the internal

cell portion where the gate oxidation film is formed newly is about 15 nm or so, the film thickness of the gate oxidation film 3b in the input/output portion becomes about 20 nm or so. However, this difference in thickness can be caused to correspond to different film thickness ratio according to forming conditions of the gate oxidation film including the thermal oxidation, as shown in FIG. 5.

[0014] Next, as shown in FIG. 1, the gate electrode 4 and the impurity diffusion layer (source/drain region) 6 are formed by a conventional method, and a transistor where the thickness of the gate oxidation film in the internal cell portion and that in the input/output portion are different from each other is formed finally.

[0015] In the semiconductor device thus formed, since the gate oxidation film 3b is formed to be sufficiently thin in internal cell portion, the performance of the transistor can be improved. Also, since the gate oxidation film 3a is formed to be thick in the input/output portion, it is made possible to improve the resistance to electrostatic discharge due to external surge or the like.

[0016] Meanwhile, in recent years, the driving voltage for the semiconductor device itself has become less than 5V according to advance of ultra fineness of a transistor. Recently, there becomes a need that the driving voltage is lowered, for example, the device is operated at 3.3V. This results from the fact that, when a transistor is operated at 5V, it is deteriorated due to hot

carrier or the like so that its life is made extremely short.

[0017] However, this fact is applicable to a transistor used in the internal cell portion, but 5V rather than 3.3V is preferable to a transistor used in the input/output portion, taking driving power or the like in consideration. That is, different power supply voltages are used in the internal cell portion and in the input/output portion.

[0018] At this time, when a transistor having the structure of the present invention is used, a semiconductor device having a sufficient resistance to electrostatic discharge can be obtained without lowering the performance in both the internal cell portion and the input/output portion.

[0019]

[EFFECT OF THE INVENTION] As mentioned above, such an effect can be obtained that the gate insulation film thickness of the MIS transistor in the input/output portion is made thinner than the gate insulation film thickness of the transistor in the internal circuit portion so that resistance to electrostatic discharge due to surge external of a semiconductor integrated circuit device or the like can be improved.

[BRIEF DESCRIPTION OF THE DRAWINGS]

[FIG. 1]

FIG. 1 is a sectional view of a semiconductor chip

showing an embodiment of the present invention.

[FIG. 2]

FIG. 2 is a sectional view of a semiconductor chip showing a conventional example.

[FIG. 3]

FIG. 3 is a sectional view of a semiconductor chip used for explaining a manufacturing method of an embodiment of the present invention.

[FIG. 4]

FIG. 4 is a sectional view of a semiconductor chip used for explaining a manufacturing method of an embodiment of the present invention.

[FIG. 5]

FIG. 5 is a sectional view of a semiconductor chip used for explaining a manufacturing method of an embodiment of the present invention.

[EXPLANATION OF REFERENCE NUMERALS]

- 1 silicon substrate
- 2 field oxidation film
- 3a, 3b, 3c, 3d gate oxidation film
- 4 gate electrode
- 5 oxidation film
- 6 impurity diffusion layer (source-drain region)
- 7 photoresist film

[illegible]

FIG. 3

INTERNAL CELL PORTION

内部セル部

INPUT/OUTPUT PORTION

入力部

The diagram shows a cross-section of a semiconductor device. It is divided into two main regions: the 'INTERNAL CELL PORTION' on the left and the 'INPUT/OUTPUT PORTION' on the right. Both regions have a substrate (1) with a thin layer (2) on top. In the internal cell portion, there is a central region (3) and two side regions (4). In the input/output portion, there is a central region (3) and two side regions (4). The side regions (4) are connected to the substrate (1) by a vertical structure (5). The central region (3) is connected to the substrate (1) by a vertical structure (6). The input/output portion also includes a region (7) on the right side.

【図4】 FIG. 4

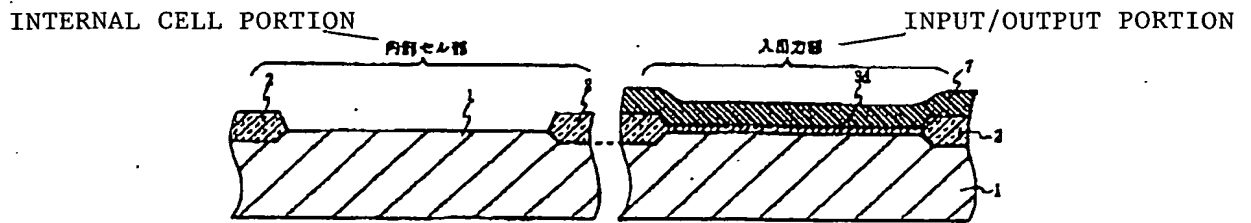
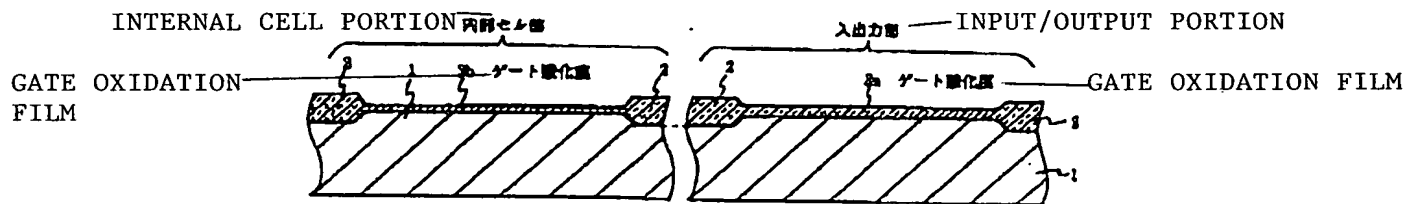


FIG. 5

【図5】



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-365373

(13) 公開日 平成4年(1992)12月17日

(51) Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/088				
27/04	H 8427-4M		H 0 1 L 27/08	1 0 2 C
	7342-4M			

審査請求 未請求 請求項の数2(全 4 頁)

(21) 出願番号 特願平3-140567

(22) 出願日 平成3年(1991)8月13日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 豊田 修至

東京都港区芝五丁目7番1号日本電気株式会社内

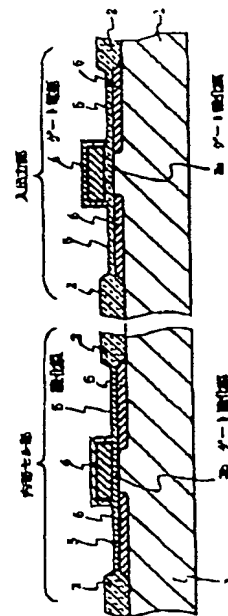
(74) 代理人 弁理士 内原 晋

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【目的】素子の微細化、特にゲート酸化膜の超薄膜化により、入出力保護部の静電破壊による耐性の劣化が問題となる。従って、入出力保護部でのトランジスタのゲート酸化膜そのものの耐圧を向上させる必要がある。

【構成】本発明による半導体集積回路装置は、入出力部のトランジスタのゲート酸化膜3aの膜厚が、内部セル部トランジスタのゲート酸化膜3bの膜厚より厚い構造を有しており、内部セル内のトランジスタの耐力を劣化させる事なく入出力保護部トランジスタの静電破壊に対する耐圧を向上できる。



(2)

特開平4-365373

【特許請求の範囲】

【請求項1】 第1のMISトランジスタを含む内部回路と、前記第1のMISトランジスタよりゲート絶縁膜の厚い第2のMISトランジスタを含む入出力回路とを有することを特徴とする半導体集積回路装置。

【請求項2】 MISトランジスタはMOSトランジスタである請求項1記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路装置に関する。

【0002】

【従来の技術】 従来の半導体集積回路装置に於いては、図2に示す様に、ゲートアレーにおける内部セル部などの内部回路のMOSトランジスタ（内部トランジスタ）と入出力保護回路や入出力セル部などの入出力部のMOSトランジスタ（入出力トランジスタ）では、ゲート酸化膜3Cは、互いに同時に形成され、膜厚も当然の事ながら同じとなっている。最近では、内部トランジスタの能力を向上させるため、ゲート電極を細くする、ゲート酸化膜を薄くする等の手段が取られている。

【0003】 しかしながら、このような手段による素子の微細化に伴い、静電破壊などの外部サージによる耐性を考えなくてはならなくなる。

【0004】 耐性向上の方法としては、入出力トランジスタのゲート長を内部トランジスタと同様の微細化を行わず、異なる太さにする方法及び、ゲートの幅を広くする等の手段が取られている。

【0005】

【発明が解決しようとする課題】 前述した従来の方法による静電破壊に対する耐性の向上は、ある程度のゲート酸化膜厚を持つ入出力トランジスタに対しては効果的であるが、近年のトランジスタの微細化によるゲート酸化膜の超薄化では、外部サージによるゲート酸化膜そのものの耐圧が問題となってきている。

【0006】

【課題を解決するための手段】 本発明の半導体集積回路装置は、第1のMISトランジスタを含む内部回路と、前記第1のMISトランジスタよりゲート絶縁膜の厚い第2のMISトランジスタを含む入出力回路とを有するというものである。

【0007】

【実施例】 次に本発明について図面を参照して説明する。

【0008】 図1は、本発明の一実施例を示す半導体チップの断面図である。

【0009】 内部セル部のMOSトランジスタのゲート酸化膜3aの厚さは約15nm、入出力部のMOSトランジスタのゲート酸化膜3bの厚さは約20nmになっている。

【0010】 次に、この一実施例の製造方法について説明する。

【0011】 まず、図3に示す如く、既存の方法により素子分離領域であるフィールド酸化膜2をシリコン基板1上に約800nm程度の膜厚で形成した後、活性領域にゲート酸化膜3dを約15nm程度熱酸化により形成する。この時の膜厚は、当然の事ながら、内部セル部と入出力部で同じとなる。

【0012】 次に、図4に示す如く、入出力部のみをフォトリソist膜7でマスクする様に既存の方法によりパターンニングを行ない、次いで、ウェットエッチングにより内部セル部のゲート酸化膜3dのみを除去する。

【0013】 次に、図5に示す如く、パターンニングに用いたフォトリソist膜7を除去した後、再度熱酸化によりゲート酸化膜3a、3bの形成を行なう。この時、ゲート酸化膜が新たに形成される内部セル部でのゲート酸化膜3bの膜厚を約15nm程度にした場合、入出力部のゲート酸化膜3aの膜厚は、約20nm程度になる。しかしながら、この膜厚の違いは、図5で示される、熱酸化を含むゲート酸化膜の形成条件により異なる膜厚比にすることが可能である。

【0014】 次に、図1に示す如く、既存の方法によりゲート電極4及び不純物拡散層（ソース・ドレイン領域）6を形成し、最終的に内部セル部と入出力部でゲート酸化膜の膜厚が異なるトランジスタが形成される。

【0015】 このようにして形成された半導体装置は、内部セル部では、ゲート酸化膜3bが十分薄く形成される為、トランジスタの能力を向上でき、また、入出力部では、ゲート酸化膜3aが厚く形成される為、外部サージ等による静電破壊耐性の向上が可能となる。

【0016】 ところで、近年では、トランジスタの超微細化により、半導体装置の駆動電圧そのものが、従来の5Vではきびしい状況となってきた。そこで、最近では駆動電圧を低くし、例えば、3.3Vで動作させる必要性が生じてきた。これは、トランジスタそのものが、5V動作ではホットキャリア等による劣化により、寿命が極端に短くなるからである。

【0017】 しかし、これは内部セル部に用いられるトランジスタについて言える事であり、入出力部に用いられるトランジスタは、駆動能力等を考えた場合、3.3Vよりもむしろ5Vの方が好ましい。すなわち、内部セル部と入出力部で異なる電源電圧を用いる事になる。

【0018】 この時、本発明による構造のトランジスタを用いれば、双方において能力を低下させずかつ、静電破壊に対し、十分耐圧のある半導体装置が得られる。

【0019】

【発明の効果】 以上述べた様に入出力部のMISトランジスタのゲート絶縁膜厚を内部回路部のトランジスタのゲート絶縁膜厚より厚くすることで、半導体集積回路装置の外部からのサージ等による静電破壊に対する耐性を

(3)

知開平4-365373

向上できるという効果がある。

【図面の簡単な説明】

【図 1】本発明の一実施例を示す半導体チップの断面図である。

【図 2】従来例を示す半導体チップの断面図である。

【図 3】本発明の一実施例の製造方法の説明に使用する半導体チップの断面図である。

【図 4】本発明の一実施例の製造方法の説明に使用する半導体チップの断面図である。

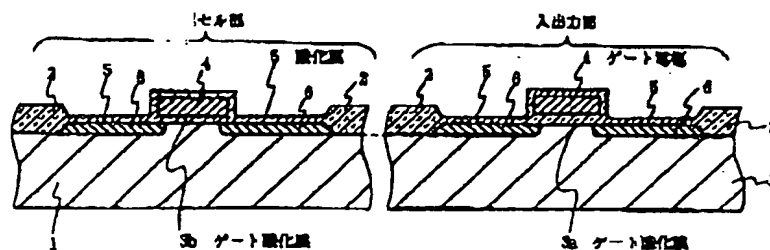
【図 5】 本発明の一実施例の製造方法の説明に使用する 10

半導体チップの断面図である。

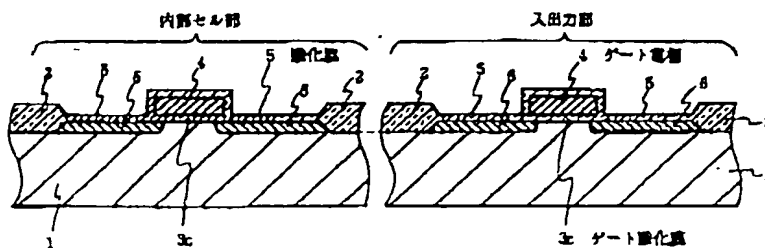
【符号の説明】

- 1 シリコン基板
- 2 フィールド酸化膜
- 3 a, 3 b, 3 c, 3 d ゲート酸化膜
- 4 ゲート電極
- 5 酸化膜
- 6 不純物拡散層(ソース・ドレイン領域)
- 7 フォトリソグレイ

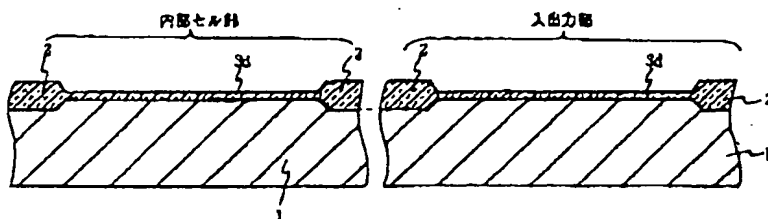
【图 1】



【圖 2】



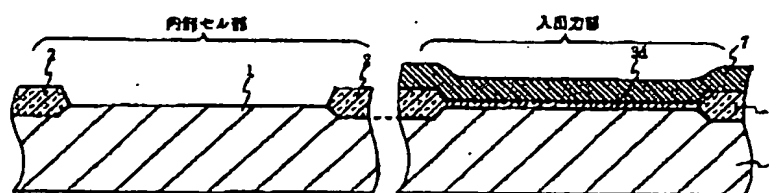
【图 3】



(4)

特開平4-365373

【図4】



【図5】

